

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0059831
Application Number

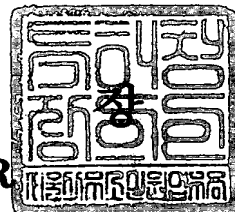
출원년월일 : 2002년 10월 01일
Date of Application OCT 01, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 12 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0027
【제출일자】	2002.10.01
【국제특허분류】	G11C
【발명의 명칭】	외부클럭의 클럭주파수 체배기 및 체배방법, 데이터의 출력버퍼 및 상기 체배기와 상기 출력버퍼를 구비하는 반도체 장치
【발명의 영문명칭】	Frequency multiplier and method of multiplying frequency of external clock, output buffer of data, and semiconductor device comprising the frequency multiplier and the output buffer
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	권경환
【성명의 영문표기】	KWON, Kyoung Hwan
【주민등록번호】	671118-1721512
【우편번호】	151-020
【주소】	서울특별시 관악구 신림동 10-225번지
【국적】	KR
【발명자】	
【성명의 국문표기】	장현순
【성명의 영문표기】	JANG, Hyun Soon

【주민등록번호】	630731-1489216
【우편번호】	137-814
【주소】	서울특별시 서초구 방배본동 궁전아파트 C동 403호
【국적】	KR
【발명자】	
【성명의 국문표기】	김규현
【성명의 영문표기】	KIM,Kyu Hyoun
【주민등록번호】	720520-1787539
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 한신아파트 811-606
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	17 면 17,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	27 항 973,000 원
【합계】	1,019,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

외부클럭의 주파수 체배기 및 체배방법, 데이터의 출력버퍼 및 상기 체배기와 상기 출력버퍼를 구비하는 반도체 장치가 개시된다. 본 발명에 따른 주파수 체배기는 동일한 주파수를 갖는 제 1클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생회로; 제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는 제 2펄스신호를 출력하는 제 2펄스신호 발생회로; 및, 상기 제 1펄스신호 및 상기 제 2펄스신호를 수신하고 이들의 논리합된 상기 내부클럭을 출력하는 논리합회로를 구비하며, 본 발명에 따른 반도체 장치는 소정의 주파수를 가지는 외부클럭을 수신하여 상기 주파수를 증가시킨 내부클럭을 출력하는 주파수 체배기; 및, 기입된 데이터에 대응하여 테스트된 데이터를 출력하는 출력버퍼를 구비한다. 본 발명에 따르면, 주파수 체배기에서 발생하는 펄스신호의 스큐를 없앨 수 있고, 반도체 장치의 테스트 시간 및 비용을 대폭 감소시킬 수 있으며, 낮은 주파수에서 동작하는 기존의 테스트 장비를 효율적으로 이용할 수 있다.

【대표도】

도 8

【명세서】**【발명의 명칭】**

외부클럭의 클럭주파수 체배기 및 체배방법, 데이터의 출력버퍼 및 상기 체배기와 상기 출력버퍼를 구비하는 반도체 장치{Frequency multiplier and method of multiplying frequency of external clock, output buffer of data, and semiconductor device comprising the frequency multiplier and the output buffer}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 반도체 장치와 테스트 장비와의 관계를 개략적으로 나타낸 도면이다.

도 2는 종래기술에 따른 주파수 체배기를 도시한 도면이다.

도 3은 도 2에 따른 각 부분에서의 신호 파형을 나타낸 타이밍도(timing diagram)이다.

도 4는 본 발명의 바람직한 실시예에 따른 주파수 체배기를 도시한 도면이다.

도 5는 도 4에 도시된 주파수 체배기의 각 부분에서의 신호 파형을 나타낸 타이밍도이다.

도 6은 본 발명의 바람직한 실시예에 따른 반도체 장치의 출력버퍼를 개략적으로 나타낸 도면이다.

도 7은 도 6에 도시된 출력버퍼의 동작을 클럭과 함께 도시한 타이밍도이다.

도 8은 본 발명의 바람직한 실시예에 따른 주파수 체배기와 출력 버퍼를 구비한 반도체 장치를 개략적으로 나타낸 블록도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체 장치에 관한 것으로, 특히 외부클럭의 주파수를 체배하는 주파수 체배기 및 체배방법, 데이터의 출력버퍼 및 이들을 구비하는 반도체 장치에 관한 것이다.

<11> 반도체 장치의 설계과정에서는, 일단 메모리 칩을 설계한 후 메모리 셀에 이상이 있는지의 여부를 확인하기 위하여 소정의 테스트를 거치게 된다. 이러한 테스트에는, 반도체 공정의 단계에서 수행하는 테스트와 칩을 제조한 이후에 정상적으로 작동하는지 여부를 검사하는 테스트로 나뉘어 있다.

<12> 이 중에서, 칩을 제조한 이후의 테스트는 반도체 장치에 일정한 데이터를 기입한 이후 출력단에서 출력되는 데이터를 확인하여 상기 데이터를 조사함으로써 수행된다.

<13> 이러한 테스트는 반도체 장치의 테스트 장비를 이용하여 수행된다. 테스트 장비는 반도체 장치에 외부클럭을 입력하고 메모리 셀에 기록된 데이터에 상응하는 출력신호를 반도체 장치로부터 수신한다. 즉, 반도체 장치로부터 수신되는 출력신호에 의하여 반도체 장치의 메모리 셀의 결함여부를 파악할 수 있다.

<14> 테스트를 위해서는, 반도체 장치의 클럭주파수와 테스트 장비의 클럭주파수가 일치해야 한다. 양 클럭의 주파수가 일치해야 반도체 장치로부터 출력되는 데이터를 테스트

장치가 에러없이 감지할 수 있기 때문이다. 그런데, 일반적으로 반도체 장치 내부의 동작속도와 반도체 테스트 장비의 동작속도가 같지 않다.

<15> 특히, 반도체 장치가 고속화 되어감에 따라, 반도체 장치의 내부 동작속도에 테스트 장비의 동작속도가 따라가지 못한다. 이러한 경우에는 더 느린 테스트 장비의 동작속도에 맞추어 반도체 장치의 테스트 작업을 수행하게 된다.

<16> 예컨대, 반도체 장치의 내부 동작속도가 400MHz이나, 테스트 장비의 클럭주파수는 100MHz에 지나지 않는 경우에는, 테스트 장비의 클럭주파수에 맞추어 반도체 장치의 테스트를 수행하는 수밖에 없다. 테스트 장비의 동작주파수는 일정하고, 만일 테스트 장비의 동작주파수를 바꾸기 위해서는 테스트 장비 자체를 교환해야 하므로, 반도체 장치의 동작주파수를 테스트 장비의 클럭주파수에 맞추어야 한다.

<17> 저속으로 동작하는 반도체 장치에 대한 테스트 작업은 커다란 문제가 없다. 그러나, 반도체 장치가 고속으로 동작하고 메모리의 용량 및 칩의 집적도가 커짐에 따라, 상술한 바와 같이 반도체 장치와 반도체 장치의 동작을 테스트하는 테스터 사이에 호환이 이루어지지 않기 때문에, 테스트 시간이 길어지게 되고 또한 테스트의 효율적인 사용에도 문제점을 지니게 된다.

<18> 반도체 장치의 테스트 시간은 반도체 장치의 원가와 직접적인 연관이 있기 때문에 테스트 시간이 길어진다면 이에 따른 제품의 원가도 증가하게 되어 제품의 가격이 상승한다는 문제점이 있다.

<19> 따라서, 낮은 주파수에서 동작하는 테스터와 호환될 수 있는 반도체 장치로서, 내부에서는 빠른 속도로 동작할 수 있고, 테스트 단계에서 테스터와 호환될 수 있는 반도체

체 장치가 절실하게 요구된다. 이러한 반도체 장치는, 외부클럭을 수신하여 상기 외부클럭의 클럭주파수를 체배(multiplying)시키는 회로 및 테스트 단계에서 많은 양의 데이터를 한꺼번에 검사할 수 있는 출력버퍼를 구비하게 된다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명이 이루고자 하는 기술적 과제는, 고속의 반도체 장치와 저속의 주변기기의 호환을 위하여 낮은 클럭주파수를 가지는 외부클럭을 높은 클럭주파수로 체배하는 주파수 체배기 및 그 방법을 제공하는 데 있다.

<21> 본 발명이 이루고자 하는 다른 기술적 과제는, 고속의 반도체 장치와 저속의 주변기기의 호환을 위하여, 반도체 장치를 테스트하기 위하여 기입된 데이터를 출력하는 데이터 출력버퍼를 제공하는 데 있다.

<22> 본 발명이 이루고자 하는 다른 기술적 과제는, 상기 주파수 체배기 및 상기 데이터 출력버퍼를 구비하는 반도체 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

<23> 상기 기술적 과제를 달성하기 위한 본 발명의 일면은 소정의 주파수를 가지는 외부클럭을 수신하여 상기 주파수를 체배한 내부클럭을 출력하는 주파수 체배기에 관한 것이다. 본 발명에 따른 주파수 체배기는 동일한 주파수를 갖는 제 1클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생회로; 제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는 제 2펄스신호를 출

력하는 제 2펄스신호 발생회로; 및, 상기 제 1펄스신호 및 상기 제 2펄스신호를 수신하고 이들의 논리합된 상기 내부클럭을 출력하는 논리합회로를 구비한다.

<24> 바람직하게는, 상기 상기 제 1펄스신호 발생회로는 상기 제 1클럭신호와 상기 제 2클럭신호를 수신하고, 상기 제 1클럭신호 및 상기 제 2클럭신호의 차이를 감지하고 증폭하는 제 1차동증폭기; 및, 상기 제 1차동증폭기의 출력신호를 수신하고 상기 제 1차동증폭기의 출력신호에 대응하는 상기 제 1펄스신호를 생성하는 제 1논리회로를 구비하는 것을 특징으로 한다.

<25> 또한 바람직하게는, 상기 제 2펄스신호 발생회로는 상기 제 1제어신호에 응답하여 인에이블되고 상기 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압과 상기 제 1클럭신호의 차이를 감지하고 증폭하는 제 2차동증폭기; 상기 제 2차동증폭기의 출력신호를 수신하고 상기 제 2차동증폭기의 출력신호에 대응하는 상기 제 2펄스신호를 생성하는 제 2논리회로를 구비하는 것을 특징으로 한다.

<26> 또한 바람직하게는, 상기 제 1펄스신호 및 상기 제 2펄스신호는 서로 같은 펄스폭을 갖는 펄스신호인 것을 특징으로 한다.

<27> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면은 소정의 주파수를 가지는 외부클럭을 수신하여 상기 주파수를 체배한 내부클럭을 출력하는 주파수 체배기에 관한 것이다. 본 발명에 따른 주파수 체배기는 동일한 주파수를 갖는 제 1

클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생회로 ; 제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는 제 2펄스신호를 출력하는 제 2펄스신호 발생회로; 제 2제어신호에 응답하여 인에이블되고, 상기 제 2클럭신호와 상기 기준전압을 수신하고 상기 제 2클럭신호의 레벨이 상기 기준전압의 레벨보다 커질 때 제 3펄스폭을 가지는 제 3펄스신호를 출력하는 제 3펄스신호 발생회로; 제 2제어신호에 응답하여 인에이블되고, 상기 기준전압과 상기 제 2제어신호를 수신하고 상기 기준전압의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 4펄스폭을 가지는 제 4펄스신호를 출력하는 제 4펄스신호 발생회로; 및, 상기 제 1펄스신호 내지 상기 제 4펄스신호를 수신하고 이들의 논리합된 상기 내부클럭을 출력하는 논리합회로를 구비한다.

<28> 바람직하게는, 상기 제 1펄스신호 발생회로는 상기 제 1클럭신호와 상기 제 2클럭신호를 수신하고, 상기 제 1클럭신호 및 상기 제 2클럭신호의 차이를 감지하고 증폭하는 제 1차동증폭기; 및, 상기 제 1차동증폭기의 출력신호를 수신하고 상기 제 1차동증폭기의 출력신호에 대응하는 상기 제 1펄스신호를 생성하는 제 1논리회로를 구비하는 것을 특징으로 한다.

<29> 또한 바람직하게는, 듀얼 에지 모드(dual edge mode)인 경우 상기 제 1제어신호가 인에이블되며, 쿼드 에지 모드(quad edge mode)인 경우 상기 제 2제어신호가 인에이블되는 것을 특징으로 한다.

<30> 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 일면은 반도체 장치의 출력버퍼에 관한 것이다. 본 발명에 따른 반도체 장치의 출력버퍼는 상기 반도체 장치로부터 출력될 소정의 데이터를 수신하고 제 1클럭에 동기되어 상기 데이터를 출력하는 제 1플립플롭과, 상기 제 1플립플롭의 출력신호를 수신하고 상기 제 1클럭에 동기되어 상기 제 1플립플롭의 출력신호를 출력하는 제 2플립플롭과 같은 구조로, 상기 제 1클럭을 수신하고 서로 직렬로 접속되는 N개의 플립플롭들; 상기 N개의 플립플롭들의 출력신호들을 수신하고 상기 출력신호들을 논리곱하여 출력하는 논리곱회로; 및, 제 2클럭에 동기되어 상기 논리곱회로의 출력신호를 출력하는 출력회로를 구비하며, 상기 제 1클럭의 클럭주파수는 상기 제 2클럭의 클럭주파수보다 N배 큰 것을 특징으로 한다.

<31> 바람직하게는, 상기 출력버퍼는 서로 직렬연결된 4개의 플립플롭들을 구비하는 것을 특징으로 하며, 상기 제 1클럭은 상기 제 2클럭보다 4배 큰 주파수를 가지는 클록인 것을 특징으로 한다.

<32> 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 일면은 반도체 장치에 관한 것이다. 본 발명에 따른 반도체 장치는 상기 반도체 장치의 입력단에 위치하며, 소정의 주파수를 가지는 클럭을 수신하여 상기 주파수를 체배한 내부클럭을 출력하는 주파수 체배기; 및, 상기 반도체 장치의 테스트를 위하여 기입된 데이터에 대응하여 테스트된 데이터를 출력하는 출력버퍼를 구비하며, 상기 주파수 체배기는 동일한 주파수를 갖는 제 1클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생회로; 제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는

제 2펄스신호를 출력하는 제 2펄스신호 발생회로; 제 2제어신호에 응답하여 인에이블되고, 상기 제 2클럭신호와 상기 기준전압을 수신하고 상기 제 2클럭신호의 레벨이 상기 기준전압의 레벨보다 커질 때 제 3펄스폭을 가지는 제 3펄스신호를 출력하는 제 3펄스신호 발생회로; 제 2제어신호에 응답하여 인에이블되고, 상기 기준전압과 상기 제 2제어신호를 수신하고 상기 기준전압의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 4펄스폭을 가지는 제 4펄스신호를 출력하는 제 4펄스신호 발생회로; 및, 상기 제 1펄스신호 내지 상기 제 4펄스신호를 수신하고 이들의 논리합된 상기 내부클럭을 출력하는 논리합회로를 구비하는 것을 특징으로 한다.

<33> 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 일면은 반도체 장치에서 소정의 주파수를 가지는 클럭을 수신하여 상기 주파수를 체배한 내부클럭을 출력하는 주파수 체배방법(multiplying)에 관한 것이다. 본 발명에 따른 주파수 체배방법은 동일한 주파수를 갖는 제 1클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생단계; 제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는 제 2펄스신호를 출력하는 제 2펄스신호 발생단계; 및, 상기 제 1펄스신호 및 상기 제 2펄스신호를 수신하고 이들의 논리합된 상기 내부클럭을 출력하는 단계를 구비한다.

<34> 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 일면은 반도체 장치에서 소정의 주파수를 가지는 클럭을 수신하여 상기 주파수를 체배한 내부클럭을 출력하는 주파수 체배방법에 관한 것이다. 본 발명에 따른 주파수 체배방법은 동일한 주파수를 갖는 제

1클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생단계; 제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는 제 2펄스신호를 출력하는 제 2펄스신호 발생단계; 제 2제어신호에 응답하여 인에이블되고, 상기 제 2클럭신호와 상기 기준전압을 수신하고 상기 제 2클럭신호의 레벨이 상기 기준전압의 레벨보다 커질 때 제 3펄스폭을 가지는 제 3펄스신호를 출력하는 제 3펄스신호 발생단계; 제 2제어신호에 응답하여 인에이블되고, 상기 기준전압과 상기 제 2제어신호를 수신하고 상기 기준전압의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 4펄스폭을 가지는 제 4펄스신호를 출력하는 제 4펄스신호 발생단계; 및, 상기 제 1펄스신호 내지 상기 제 4펄스신호를 수신하고 이들의 논리합된 상기 내부클럭을 출력하는 단계를 구비한다.

<35> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<36> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<37> 도 1은 반도체 장치와 테스트 장비와의 관계를 개략적으로 나타낸 도면이다. 도 1에 도시된 바와 같이, 반도체 장치(100)는 테스트를 위하여 테스트 장비(110)와 인터페이스(interface)되어야 한다. 그러나, 테스트 장비(110)의 동작속도와 반도체 장치(110)의 동작속도가 서로 다르다.

<43> 도 4는 본 발명의 바람직한 실시예에 따른 주파수 체배기를 도시한 도면이고, 도 5는 도 4에 도시된 주파수 체배기의 각 부분에서의 신호 파형을 나타낸 타이밍도이다.

<44> 도 4에 도시된 주파수 체배기(400)는 제 1펄스신호 발생회로(410), 제 2펄스신호 발생회로(420), 제 3펄스신호 발생회로(430), 제 4펄스신호 발생회로(440) 및 논리합회로(450)를 구비한다. 제 1펄스신호 발생회로(410)는 제 1클럭신호(CLK) 및 제 2클럭신호(CLKB)를 수신하고 제 1펄스신호(A)를 출력한다. 제 2펄스신호 발생회로(420)는 제 1제어신호(DE) 또는 제 2제어신호(QE)에 의하여 인에이블되고, 기준전압(VREF)과 제 1클럭신호(CLK)를 수신하고 제 2펄스신호(B)를 출력한다.

<45> 제 3펄스신호 발생회로(430)는 제 2제어신호(QE)에 의하여 인에이블되고, 제 2클럭신호(CLKB)와 기준전압(VREF)을 수신하고 제 3펄스신호(C)를 출력한다. 제 4펄스신호 발생회로(440)는 제 2제어신호(QE)에 의하여 인에이블되고, 기준전압(VREF)과 제 2클럭신호(CLKB)를 수신하고 제 4펄스신호(D)를 출력한다.

<46> 본 실시예에서, 제 1펄스신호 발생회로(410)는 차동증폭기(411) 및 다수의 논리회로들(412, 413, 414, 415, 416)을 구비한다. 차동증폭기(411)는 제 1클럭신호(CLK) 및 제 2클럭신호(CLKB)를 수신하고 그 차이를 감지하고 증폭한 신호를 출력한다. 차동증폭기(411)의 제 1입력단은 제 1클럭신호(CLK)를 수신하고, 제 2입력단은 제 2클럭신호(CLKB)를 수신한다.

수신하여

<47> 다수의 반전회로들(412, 413, 414)은 서로 직렬연결된다. 즉, 반전회로(412)는 차동증폭기(411)의 출력신호를 수신하여 차동증폭기(411)의 출력신호를 반전하여 출력하고, 반전회로(413)는 반전회로(412)의 출력신호를 반전회로(412)의 출력

신호를 반전하여 출력한다. 반전회로(414)는 반전회로(413)의 출력신호를 수신하여 반전회로(413)의 출력신호를 반전하여 출력한다.

<48> 부정논리곱회로(415)는 차동증폭기(411)의 출력신호와 반전회로(414)의 출력신호를 수신하여 부정논리곱하여 출력한다. 반전회로(416)는 부정논리곱회로(415)의 출력신호를 수신하고 반전하여 제 1펄스신호(A)를 출력한다.

<49> 제 2펄스신호 발생회로(420)는 차동증폭기(421) 및 다수의 논리회로들(422, 423, 424, 425, 426)을 구비한다. 제 3펄스신호 발생회로(430)는 차동증폭기(431) 및 다수의 논리회로들(432, 433, 434, 435, 436)을 구비한다. 제 4펄스신호 발생회로(440)는 차동증폭기(441) 및 다수의 논리회로들(442, 443, 444, 445, 446)을 구비한다. 각각의 제 2펄스신호 발생회로(420) 내지 제 4펄스신호 발생회로(440)는 제 1펄스신호 발생회로(410)와 같은 구조로 되어 있다. 즉 차동증폭기(421, 431, 441) 및 다수의 반전회로들(422, 423, 424; 432, 433, 434; 442, 443, 444), 부정논리곱회로(425, 435, 445) 그리고 반전회로들(426, 436, 446)의 연결관계는 제 1펄스신호 발생회로(410)의 연결관계와 같다.

<50> 제 2펄스신호 발생회로(420)의 차동증폭기(421)의 제 1입력단은 기준전압(VREF)을 수신하고, 차동증폭기(421)의 제 2입력단은 제 1클럭신호(CLK)를 수신한다. 제 3펄스신호 발생회로(430)의 차동증폭기(431)의 제 1입력단은 제 2클럭신호(CLKB)를 수신하고, 차동증폭기(431)의 제 2입력단은 기준전압(VREF)을 수신한다. 제 4펄스신호 발생회로(440)의 차동증폭기(441)의 제 1입력단은 기준전압(VREF)을 수신하고, 차동증폭기(441)의 제 2입력단은 제 2클럭신호(CLKB)를 수신한다.

- <51> 다만, 제 2펄스신호 발생회로(420)는 제 1제어신호(DE) 및 제 2제어신호(QE)를 논리합하는 논리회로(427), 논리회로(427)의 출력신호를 반전하여 출력하는 반전회로(428), 반전회로(428)의 출력신호가 게이트에 접속되고, 드레인과 소스가 각각 전원전압(VDD) 및 차동증폭기(421)에 접속되는 PMOS 트랜지스터(MP2) 및 반전회로(528)의 출력신호가 게이트에 접속되고, 드레인과 소스가 각각 차동증폭기(421)의 출력단 및 접지전원(VSS)에 접속되는 트랜지스터(MN2)를 더 구비한다.
- <52> 제 3펄스신호 발생회로(430) 및 제 4펄스신호 발생회로(440)는 제 2제어신호(QE)를 반전하여 출력하는 반전회로(437), 반전회로(437)의 출력신호가 게이트에 접속되고, 드레인과 소스가 각각 전원전압(VDD) 및 차동증폭기(431, 441)에 접속되는 PMOS 트랜지스터(MP3, MP4) 및 반전회로(437)의 출력신호가 게이트에 접속되고 드레인과 소스가 각각 차동증폭기(431, 441)의 출력단 및 접지전원(VSS)에 접속되는 NMOS 트랜지스터(MN3, MN4)를 더 구비한다.
- <53> 도 4의 회로도 및 도 5의 타이밍도를 참고로 하여 본 발명에 따른 주파수 체배기의 동작을 설명하면 다음과 같다. 도 5의 타이밍도에 제 1클럭신호(CLK) 및 제 2클럭신호(CLKB) 그리고 기준전압(VREF) 신호가 도시되어 있다. 만일, 제 1제어신호(DE) 및 제 2제어신호(QE) 모두가 디스에이블된다면, PMOS 트랜지스터들(MP2, MP3, MP4)이 모두 턴오프(turn off)되기 때문에, 차동증폭기들(421, 431, 441)이 동작하지 않는다. 또한, NMOS 트랜지스터들(MN2, MN3, MN4)은 턴온(turn on)되어 차동증폭기들(421, 431, 441)의 출력단을 리셋시킨다. 따라서, 이 경우에는 차동증폭기(411)만 동작하게 되고, 제 1펄스신호(A)가 발생하게 된다. 이 경우는 주파수의 체배가 없는 경우이다.

- <54> 만약, 제 1제어신호(DE)만이 인에이블되고 제 2제어신호(QE)는 디스에이블되었다고 가정하자. 그러면, PMOS 트랜지스터들(MP3, MP4)은 작동하지 않고 NMOS 트랜지스터들(MN3, MN4)이 턴온되기 때문에 제 3펄스신호(C) 및 제 4펄스신호(D)는 출력되지 않는다. 그러나, 제 1제어신호가 인에이블되면, 논리회로(427)는 논리 하이의 논리상태를 출력하고, 따라서 반전회로(428)는 논리 로우의 논리상태를 출력한다.
- <55> 즉, 반전회로(428)가 논리 로우의 논리상태를 출력하기 때문에, PMOS 트랜지스터(MP2)는 턴온되고 NMOS 트랜지스터(MN2)는 턴오프된다. 즉, 이 경우에는 제 2펄스신호 발생회로(420)가 동작을 하게 된다. 제 2펄스신호 발생회로(420)에 의해서 제 2펄스신호(B)가 생성되고 논리합회로(450)는 외부클럭(CLK 또는 CLKB)을 2배로 체배한 클럭을 출력한다.
- <56> 만일, 제 1제어신호(DE)에 관계없이, 제 2제어신호(QE)가 인에이블되었다고 가정하자. 그러면, PMOS 트랜지스터들(MP2, MP3, MP4)은 모두 턴온되고, NMOS 트랜지스터들(MN2, MN3, MN4)은 모두 턴오프된다. 따라서 제 2제어신호(QE)가 인에이블되면, 제 1펄스신호 발생회로(410) 내지 제 4펄스신호 발생회로(440)가 모두 동작하게 되고, 각각 제 1펄스신호(A), 제 2펄스신호(B), 제 3펄스신호(C), 제 4펄스신호(D)를 생성하게 되므로, 논리합회로(450)는 외부클럭(CLK 또는 CLKB)을 4배로 체배한 클럭을 출력하게 된다.
- <57> 이처럼 제 1제어신호(DE)가 인에이블되는 경우는 외부클럭이 2배로 체배되고, 제 2제어신호(QE)가 인에이블되는 경우 외부클럭이 4배로 체배되므로, 제 1제어신호(DE)가 인에이블되는 경우를 듀얼 에지 모드(Dual Edge Mode)라고 부르고, 제 2제어신호(QE)가 인에이블되는 경우는 쿼드 에지 모드(Quadrature Edge Mode)라고 부른다.

- <58> 여기에서, 제 1펄스신호(A) 내지 제 4펄스신호(D)의 펄스폭은 모두 같은 것이 바람직하다. 이러한 펄스폭은 부정논리곱 회로(415, 425, 435, 445)의 하나의 입력단에 연결된 다수개의 반전회로들(412, 413, 414; 422, 423, 424; 432, 433, 434)의 총 지연량에 의하여 결정된다.
- <59> 즉, 본 발명의 주파수 체배기(400)에 의하면, 기존의 주파수 체배기와는 달리, 각각의 펄스신호 발생회로에 의하여 발생하는 펄스신호의 스큐를 없앨 수 있는 장점이 있다. 그리고, 각각의 상응하는 제어신호를 인에이블시킴으로써, 듀얼 에지 모드 및 쿼드 에지 모드로 동작할 수 있도록 할 수 있다.
- <60> 본 발명의 주파수 체배기(400)는 쿼드 에지 모드까지 수행할 수 있도록 구현하였으나, 이러한 주파수 체배기의 다른 변형은 충분히 가능하다. 예컨대, 기존의 외부클럭을 두 배 체배할 수 있는 주파수 체배기도 구현할 수 있으며, 본 발명의 실시예로부터 8배, 16배, 그 이상의 주파수로 체배할 수 있는 다중 에지 모드(Multiple Edge Mode)를 지원하는 주파수 체배기도 구현할 수 있음은 당업자에게 자명하다고 할 수 있다.
- <61> 도 6은 본 발명의 바람직한 실시예에 따른 반도체 장치의 출력버퍼를 개략적으로 나타낸 도면이다. 도 6에 도시된 반도체 장치의 출력버퍼(600)는 다수의 플립플롭들(601, 602, 603, 604), 논리곱회로(605) 및 출력회로(606)를 구비한다.
- <62> 제 1플립플롭(601)은 반도체 장치(도시하지 않음)로부터 데이터(DATA)를 수신하여 제 1클럭(CLK1)에 동기되어 데이터(DATA)를 출력한다. 제 2플립플롭(602)은 제 1플립플롭(602)의 출력신호를 수신하여 제 1클럭(CLK1)에 동기되어 제 1플립플롭(602)의 출력신호를 출력한다. 도 7에 도시된 출력버퍼(600)에서, 4개의 플립플롭들(601, 602, 603, 604)은 이와 같이 접속된다.

- <63> 논리곱회로(605)는 다수의 플립플롭들(601, 602, 603, 604)의 출력신호를 수신하고 상기 출력신호들을 논리곱하여 출력한다. 그리고 출력회로(606)는 논리곱회로(605)의 출력신호를 수신하여, 제 2클럭(CLK2)에 동기되어 논리곱회로(605)의 출력신호를 외부로 출력한다.
- <64> 이와 같은 출력버퍼(600)는 N (N 은 2이상의 자연수)개의 플립플롭으로 구성될 수 있으며, 도 6에 도시된 출력버퍼는 N 이 4인 경우를 예시한 것에 불과하다. 또한 제 1클럭(CLK1)의 클럭주파수는 제 2클럭(CLK2)의 클럭주파수보다 N 배(도 6의 경우에는 4배) 큰 것이 바람직하다.
- <65> 도 6을 참조하여 본 발명에 따른 반도체 장치의 데이터 출력버퍼(600)의 동작을 설명하면 다음과 같다. 반도체 장치의 테스트 결과 출력될 데이터(DATA)가 출력버퍼로 입력된다. 이 때, 반도체 장치 내부의 동작속도는 외부의 테스트 장치(도시하지 않음)의 동작속도보다 빠르기 때문에, 본 발명에서는 빠른 동작속도로 출력되는 데이터를 외부의 테스트 장치의 동작속도로 인터페이스하기 위한 데이터 출력버퍼가 제공된다.
- <66> 제 1플립플롭(601)은 데이터(DATA)를 수신하고 제 1클럭(CLK1)에 동기되어 데이터(DATA)를 출력한다. 제 2플립플롭(602)은 제 1플립플롭(601)의 출력신호를 수신하고 제 1클럭(CLK1)에 동기되어 제 1플립플롭(601)의 출력신호를 출력한다. 제 3플립플롭(603)은 제 2플립플롭(602)의 출력신호를 수신하고 제 1클럭(CLK1)에 동기되어 제 2플립플롭(602)의 출력신호를 출력한다. 제 4플립플롭(604)은 제 3플립플롭(603)의 출력신호를 수신하고 제 1클럭(CLK1)에 동기되어 제 3플립플롭(603)의 출력신호를 출력한다.
- <67> 데이터(DATA)가 연속적으로 출력되면, 플립플롭들(601, 602, 603, 604)의 출력신호들은 각각 연속된 데이터를 가지고 있게 된다. 논리곱회로(605)는 플립플롭들(601, 602,

603, 604)의 출력신호를 수신하여 논리곱하여 출력한다. 출력회로(606)는 논리곱회로(605)의 출력신호를 수신하여 제 2클럭(CLK2)에 응답하여 논리곱회로(605)의 출력신호를 출력한다. 출력회로(606)의 출력신호는 외부로 출력되어 테스트 장치(도시되지 않음)에 입력되고, 출력회로(606)의 출력신호에 의하여 반도체 장치의 결함여부를 테스트할 수 있다.

<68> 여기에서, 입력되는 데이터(DATA)는 반도체 장치를 테스트한 결과의 일종이다. 즉, 테스트 과정에서는, 예컨대 메모리 셀에 데이터를 모두 1로 기입한 후에 이를 독출하는 단계를 거친다. 이 경우, 각각의 비트를 일일이 테스트하지 않고, 다수의 비트들을 한꺼번에 테스트하는 방법이 사용되는데, 이를 다중 비트 테스트(Parallel Bit Test; PBT)라고 한다.

<69> 반도체 장치 내부에는 다수의 비트들을 비교하여 하나의 데이터를 출력하는 비교회로가 존재한다. 비교회로는 다수의 비트들을 논리곱하여 하나의 출력신호를 출력하도록 구현할 수 있다. 만약 비교회로의 비교결과 논리 하이로 출력되지 않으면 메모리 셀에 결함이 있는 것으로 불량 칩으로 판단할 수 있다.

<70> 도 7은 도 6에 도시된 출력버퍼의 동작을 클럭과 함께 도시한 타이밍도이다. 도 7을 참조하면, 제 1클럭(CLK1)에 응답하여 4개의 데이터가 순차적으로 플립플롭에 저장되며, 제 2클럭(CLK2)에 응답하여 4개의 데이터의 비교결과에 상응하는 출력신호가 출력되는 구조를 가지게 된다.

<71> 즉, 도 6 및 도 7에서부터 알 수 있듯이, 본 발명의 출력버퍼(600)에 의하면, 테스트된 데이터(DATA)를 4배 빠른 제 1클럭(CLK1)에 의하여 동작하도록 하고

이를 제 2클럭(CLK2)으로 한꺼번에 출력하도록 함으로써, 반도체 장치의 테스트 시간을 대폭 줄일 수 있다.

<72> 도 8은 본 발명의 바람직한 실시예에 따른 주파수 체배기와 출력 버퍼를 구비한 반도체 장치를 개략적으로 나타낸 블록도이다. 도 8에 도시된 반도체 장치(800)는 특히 주파수 체배기(810) 및 데이터 출력 버퍼(830)를 구비한다. 도 8에 도시된 반도체 장치(800)에 의하여 메모리 장치가 테스트되는 경로를 개략적으로 설명하면 다음과 같다.

<73> 주파수 체배기(810)는 외부클럭(CLK, CLKB)을 수신하여 외부클럭(CLK, CLKB)의 주파수를 N배 체배한다. 주파수 체배기(810)의 출력신호는 레이턴시 제어기(822), 내부 컬럼 어드레스 발생기(823), 컬럼 어드레스 디코더(824) 및 데이터 출력 버퍼(830)의 비교 회로(831)로 입력된다.

<74> 레이턴시 제어기(822)는 모드 레지스터(821)의 출력신호에 응답하여 반도체 장치의 레이턴시를 제어하고 그 결과를 출력단(832) 및 I/O 제어부(826)로 출력한다. 반도체 장치를 테스트하기 위하여 내부 컬럼 어드레스 발생기(823)는 내부클럭(PCLK)에 동기되어 어드레스를 발생하여 컬럼 어드레스 디코더(824)로 출력한다.

<75> 컬럼 어드레스 디코더(824)는 내부 컬럼 어드레스 발생기(823)의 출력신호를 수신하여 컬럼 선택신호(Column Select Line; CSL)를 메모리 셀(825)로 출력한다. 컬럼 선택신호에 응답하여 메모리 셀(825) 내부의 데이터가 독출되며, 상기 데이터는 I/O 제어부(826)를 통하여 데이터 출력버퍼(830)를 거쳐 외부로 출력된다. 이러한 외부로 출력된 데이터는 테스트 장비(도시하지 않음)로 입력되어 반도체 장치의 오동작여부가 테스트된다.

<76> 도 8에 도시된 반도체 장치(800)는 체배된 내부클럭(PCLK)에 의하여 반도체 장치(800)가 동작하도록 함으로써 반도체 장치(800)의 내부를 고속으로 동작할 수 있도록 한다. 아울러, 테스트할 때 테스트 장비(도시하지 않음)와 같은 주파수를 가진 클럭에 의하여 출력데이터를 얻을 수 있는 데이터 출력버퍼(830)를 구비한다. 따라서 반도체 장치(800)를 테스트함에 있어서 효율적으로 테스트할 수 있다.

<77> 이상에서와 같이 도면과 명세서에 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한 정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<78> 상술한 바와 같이 본 발명에 따르는 주파수 체배기는 기존의 주파수 체배기와는 달리 주파수 체배기에서 발생하는 펄스신호의 스큐를 없앨 수 있고, 주파수를 다양하게 체배할 수 있다.

<79> 또한 본 발명에 따르는 출력 버퍼 및 상기 주파수 체배기와 상기 출력 버퍼를 구비하는 반도체 장치는 낮은 주파수를 가지는 클럭을 이용하여 한꺼번에 다수의 메모리 셀을 테스트할 수 있기 때문에 테스트 시간 및 비용을 대폭 감소시킬 수 있으며, 낮은 주파수에서 동작하는 기존의 테스트 장비를 효율적으로 이용할 수 있다.

【특허청구범위】**【청구항 1】**

소정의 주파수를 가지는 외부클럭을 수신하여 상기 주파수를 체배한 내부클럭을 출력하는 주파수 체배기에 있어서,

동일한 주파수를 갖는 제 1클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생회로;

제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는 제 2펄스신호를 출력하는 제 2펄스신호 발생회로; 및,

상기 제 1펄스신호 및 상기 제 2펄스신호를 수신하고 이들의 논리합된 상기 내부클럭을 출력하는 논리합회로를 구비하는 주파수 체배기.

【청구항 2】

제 1항에 있어서, 상기 제 1펄스신호 발생회로는

상기 제 1클럭신호와 상기 제 2클럭신호를 수신하고, 상기 제 1클럭신호 및 상기 제 2클럭신호의 차이를 감지하고 증폭하는 제 1차동증폭기; 및,

상기 제 1차동증폭기의 출력신호를 수신하고 상기 제 1차동증폭기의 출력신호에 대응하는 상기 제 1펄스신호를 생성하는 제 1논리회로를 구비하는 것을 특징으로 하는 주파수 체배기.

【청구항 3】

제 2항에 있어서, 상기 제 2펄스신호 발생회로는

상기 제 1제어신호에 응답하여 인에이블되고 상기 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압과 상기 제 1클럭신호의 차이를 감지하고 증폭하는 제 2차동 증폭기;

상기 제 2차동증폭기의 출력신호를 수신하고 상기 제 2차동증폭기의 출력신호에 대응하는 상기 제 2펄스신호를 생성하는 제 2논리회로를 구비하는 것을 특징으로 하는 주파수 체배기.

【청구항 4】

제 3항에 있어서,

듀얼 에지 모드(dual edge mode)인 경우에 상기 제 1제어신호가 인에이블되는 것을 특징으로 하는 주파수 체배기.

【청구항 5】

제 1항에 있어서, 상기 제 1펄스신호 및 상기 제 2펄스신호는

서로 같은 펄스폭을 가지는 펄스신호인 것을 특징으로 하는 주파수 체배기.

【청구항 6】

소정의 주파수를 가지는 외부클럭을 수신하여 상기 주파수를 체배한 내부클럭을 출력하는 주파수 체배기에 있어서,

동일한 주파수를 갖는 제 1클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생회로;

제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는 제 2펄스신호를 출력하는 제 2펄스신호 발생회로;

제 2제어신호에 응답하여 인에이블되고, 상기 제 2클럭신호와 상기 기준전압을 수신하고 상기 제 2클럭신호의 레벨이 상기 기준전압의 레벨보다 커질 때 제 3펄스폭을 가지는 제 3펄스신호를 출력하는 제 3펄스신호 발생회로;

제 2제어신호에 응답하여 인에이블되고, 상기 기준전압과 상기 제 2제어신호를 수신하고 상기 기준전압의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 4펄스폭을 가지는 제 4펄스신호를 출력하는 제 4펄스신호 발생회로; 및,

상기 제 1펄스신호 내지 상기 제 4펄스신호를 수신하고 이들의 논리합된 상기 내부 클럭을 출력하는 논리합회로를 구비하는 주파수 체배기.

【청구항 7】

제 6항에 있어서, 상기 제 1펄스신호 발생회로는

상기 제 1클럭신호와 상기 제 2클럭신호를 수신하고, 상기 제 1클럭신호 및 상기 제 2클럭신호의 차이를 감지하고 증폭하는 제 1차동증폭기; 및,

상기 제 1차동증폭기의 출력신호를 수신하고 상기 제 1차동증폭기의 출력신호에 대응하는 상기 제 1펄스신호를 생성하는 제 1논리회로를 구비하는 것을 특징으로 하는 주파수 체배기.

【청구항 8】

제 7항에 있어서, 상기 제 2펄스신호 발생회로는

상기 제 1제어신호에 응답하여 인에이블되고, 상기 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압과 상기 제 1클럭신호의 차이를 감지하고 증폭하는 제 2차동증폭기;

상기 제 2차동증폭기의 출력신호를 수신하고 상기 제 2차동증폭기의 출력신호에 대응하는 상기 제 2펄스신호를 생성하는 제 2논리회로를 구비하는 것을 특징으로 하는 주파수 체배기.

【청구항 9】

제 8항에 있어서, 상기 제 3펄스신호 발생회로는

상기 제 2제어신호에 응답하여 인에이블되고, 상기 제 2클럭신호와 상기 기준전압을 수신하고 상기 제 2클럭신호와 상기 기준전압의 차이를 감지하고 증폭하는 제 3차동증폭기;

상기 제 3차동증폭기의 출력신호를 수신하고 상기 제 3차동증폭기의 출력신호에 대응하는 상기 제 3펄스신호를 생성하는 제 3논리회로를 구비하는 것을 특징으로 하는 주파수 체배기.

【청구항 10】

제 9항에 있어서, 상기 제 4펄스신호 발생회로는

상기 제 2제어신호에 응답하여 인에이블되고, 상기 기준전압과 상기 제 2클럭신호를 수신하고 상기 기준전압과 상기 제 2클럭신호의 차이를 감지하고 증폭하는 제 4차동 증폭기;

상기 제 4차동증폭기의 출력신호를 수신하고 상기 제 4차동증폭기의 출력신호에 대응하는 상기 제 4펄스신호를 생성하는 제 4논리회로를 구비하는 것을 특징으로 하는 주파수 체배기.

【청구항 11】

제 6항에 있어서, 상기 제 1펄스신호 내지 상기 제 4펄스신호는

서로 같은 펄스폭을 가지는 펄스신호인 것을 특징으로 하는 주파수 체배기.

【청구항 12】

제 6항에 있어서,

듀얼 에지 모드(dual edge mode)인 경우 상기 제 1제어신호가 인에이블되며, 쿼드 에지 모드(quad edge mode)인 경우 상기 제 2제어신호가 인에이블되는 것을 특징으로 하는 주파수 체배기.

【청구항 13】

반도체 장치의 출력버퍼에 있어서,

상기 반도체 장치로부터 출력될 소정의 데이터를 수신하고 제 1클럭에 동기되어 상기 데이터를 출력하는 제 1플립플롭과, 상기 제 1플립플롭의 출력신호를 수신하고 상

기 제 1클럭에 동기되어 상기 제 1플립플롭의 출력신호를 출력하는 제 2플립플롭과 같은 구조로, 상기 제 1클럭을 수신하고 서로 직렬로 접속되는 N개의 플립플롭들;

상기 N개의 플립플롭들의 출력신호들을 수신하고 상기 출력신호들을 논리곱하여 출력하는 논리곱회로; 및,

제 2클럭에 동기되어 상기 논리곱회로의 출력신호를 출력하는 출력회로를 구비하며,

상기 제 1클럭의 클럭주파수는 상기 제 2클럭의 클럭주파수보다 N배 큰 것을 특징으로 하는 반도체 장치의 출력버퍼.

【청구항 14】

제 13항에 있어서, 상기 출력버퍼는

서로 직렬연결된 4개의 플립플롭들을 구비하는 것을 특징으로 하는 반도체 장치의 출력버퍼.

【청구항 15】

제 14항에 있어서, 상기 제 1클럭은

상기 제 2클럭보다 4배 큰 주파수를 가지는 클록인 것을 특징으로 하는 반도체 장치의 출력버퍼.

【청구항 16】

반도체 장치에 있어서,

상기 반도체 장치의 입력단에 위치하며, 소정의 주파수를 가지는 클럭을 수신하여 상기 주파수를 체배한 내부클럭을 출력하는 주파수 체배기; 및,

상기 반도체 장치의 테스트를 위하여 기입된 데이터에 대응하여 테스트된 데이터를 출력하는 출력버퍼를 구비하며,

상기 주파수 체배기는

동일한 주파수를 갖는 제 1클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생회로;

제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는 제 2펄스신호를 출력하는 제 2펄스신호 발생회로;

제 2제어신호에 응답하여 인에이블되고, 상기 제 2클럭신호와 상기 기준전압을 수신하고 상기 제 2클럭신호의 레벨이 상기 기준전압의 레벨보다 커질 때 제 3펄스폭을 가지는 제 3펄스신호를 출력하는 제 3펄스신호 발생회로;

제 2제어신호에 응답하여 인에이블되고, 상기 기준전압과 상기 제 2제어신호를 수신하고 상기 기준전압의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 4펄스폭을 가지는 제 4펄스신호를 출력하는 제 4펄스신호 발생회로; 및,

상기 제 1펄스신호 내지 상기 제 4펄스신호를 수신하고 이들의 논리합된 상기 내부 클럭을 출력하는 논리합회로를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 17】

제 16항에 있어서, 상기 제 1펄스신호 내지 상기 제 4펄스신호는

서로 같은 펄스폭을 가지는 펄스신호인 것을 특징으로 하는 반도체 장치.

【청구항 18】

제 17항에 있어서,

듀얼 에지 모드(dual edge mode)인 경우 상기 제 1제어신호가 인에이블되고, 쿼드 에지 모드(quad edge mode)인 경우 상기 제 2제어신호가 인에이블되는 것을 특징으로 하는 반도체 장치.

【청구항 19】

제 18항에 있어서, 상기 출력버퍼는

상기 반도체 장치로부터 출력될 소정의 데이터를 수신하고 제 1클럭에 동기되어 상기 데이터를 출력하는 제 1플립플롭과, 상기 제 1플립플롭의 출력신호를 수신하고 상기 제 1클럭에 동기되어 상기 제 1플립플롭의 출력신호를 출력하는 제 2플립플롭과 같은 구조로, 상기 제 1클럭을 수신하고 서로 직렬로 접속되는 N개의 플립플롭들;

상기 N개의 플립플롭들의 출력신호들 수신하고 상기 출력신호들을 논리곱하여 출력하는 논리곱회로; 및,

제 2클럭에 동기되어 상기 논리곱회로의 출력신호를 출력하는 출력회로를 구비하며,

상기 제 1클럭의 클럭주파수는 상기 제 2클럭의 클럭주파수보다 N배 큰 것을 특징으로 하는 반도체 장치.

【청구항 20】

제 19항에 있어서, 상기 출력버퍼는

서로 직렬연결된 4개의 플립플롭들을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 21】

제 20항에 있어서, 상기 제 1클럭은
상기 제 2클럭보다 4배 큰 주파수를 가지는 클럭인 것을 특징으로 하는 반도체 장치.

【청구항 22】

반도체 장치에서 소정의 주파수를 가지는 클럭을 수신하여 상기 주파수를 체배한 내부클럭을 출력하는 주파수 체배방법(multiplying)에 있어서,

동일한 주파수를 갖는 제 1클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생단계;

제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는 제 2펄스신호를 출력하는 제 2펄스신호 발생단계; 및,

상기 제 1펄스신호 및 상기 제 2펄스신호를 수신하고 이들의 논리합된 상기 내부클럭을 출력하는 단계를 구비하는 클럭주파수의 체배방법.

【청구항 23】

제 22항에 있어서,

듀얼 에지 모드인 경우에 상기 제 1제어신호가 인에이블되는 것을 특징으로 하는 클럭주파수의 체배방법.

【청구항 24】

제 22항에 있어서, 상기 제 1펄스신호 및 상기 제 2펄스신호는

서로 같은 펄스폭을 가지는 펄스신호인 것을 특징으로 하는 클럭주파수의 체배방법

.

【청구항 25】

반도체 장치에서 소정의 주파수를 가지는 클럭을 수신하여 상기 주파수를 체배한 내부클럭을 출력하는 주파수 체배방법에 있어서,

동일한 주파수를 갖는 제 1클럭신호와 제 2클럭신호를 수신하고 상기 제 1클럭신호의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 1펄스폭을 가지는 제 1펄스신호를 발생하는 제 1펄스신호 발생단계;

제 1제어신호에 응답하여 인에이블되고, 소정의 기준전압과 상기 제 1클럭신호를 수신하고 상기 기준전압의 레벨이 상기 제 1클럭신호의 레벨보다 커질 때 제 2펄스폭을 가지는 제 2펄스신호를 출력하는 제 2펄스신호 발생단계;

제 2제어신호에 응답하여 인에이블되고, 상기 제 2클럭신호와 상기 기준전압을 수신하고 상기 제 2클럭신호의 레벨이 상기 기준전압의 레벨보다 커질 때 제 3펄스폭을 가지는 제 3펄스신호를 출력하는 제 3펄스신호 발생단계;

제 2제어신호에 응답하여 인에이블되고, 상기 기준전압과 상기 제 2제어신호를 수신하고 상기 기준전압의 레벨이 상기 제 2클럭신호의 레벨보다 커질 때 제 4펄스폭을 가지는 제 4펄스신호를 출력하는 제 4펄스신호 발생단계; 및,

상기 제 1펄스신호 내지 상기 제 4펄스신호를 수신하고 이들의 논리합된 상기 내부 클럭을 출력하는 단계를 구비하는 클럭주파수 체배방법.

【청구항 26】

제 25항에 있어서, 상기 제 1펄스신호 내지 상기 제 4펄스신호는 서로 같은 펄스폭을 가지는 펄스신호인 것을 특징으로 하는 클럭주파수 체배방법.

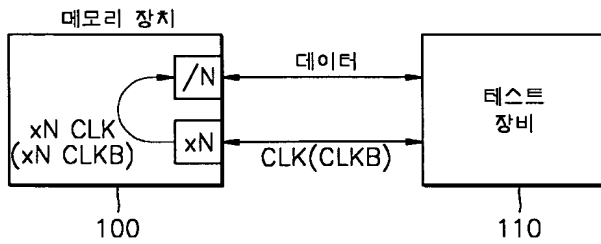
【청구항 27】

제 25항에 있어서,

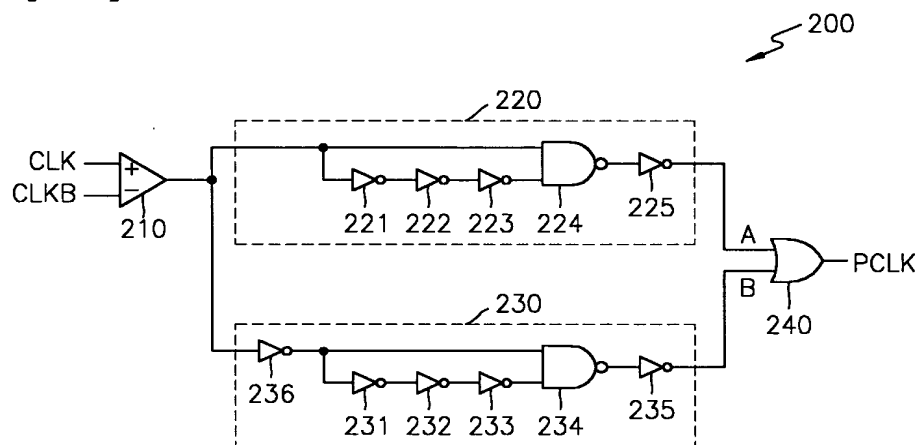
듀얼 에지 모드인 경우 상기 제 1제어신호가 인에이블되며, 쿼드 에지 모드인 경우 상기 제 2제어신호가 인에이블되는 것을 특징으로 하는 클럭주파수의 체배방법.

【도면】

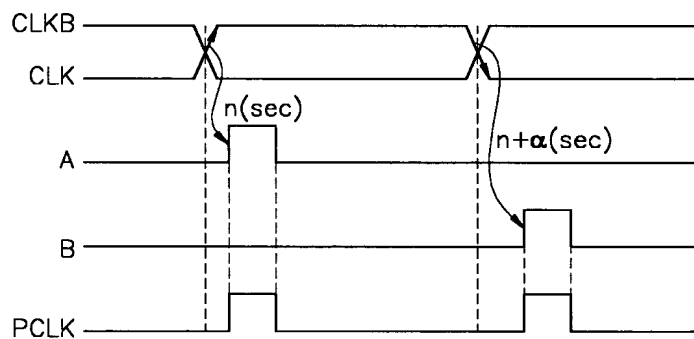
【도 1】



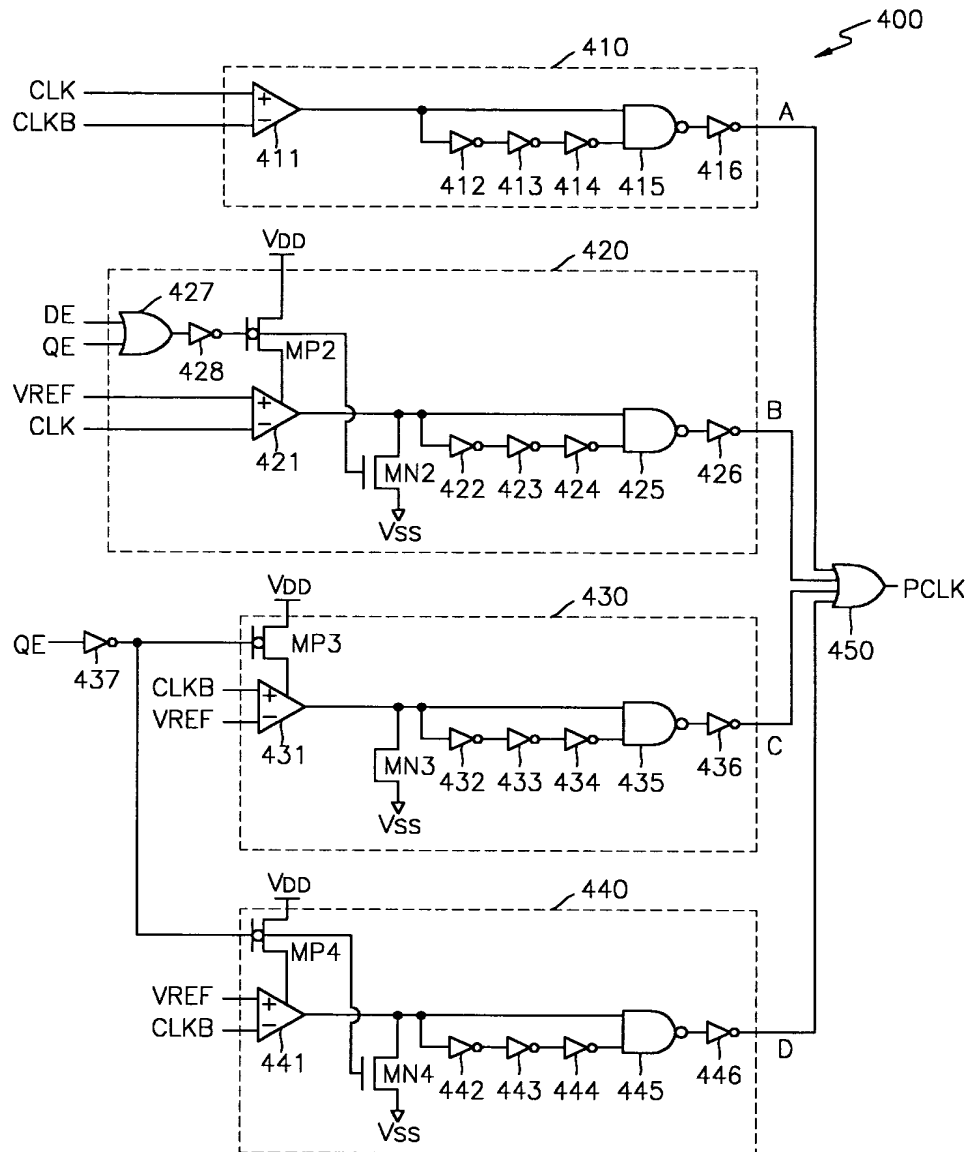
【도 2】



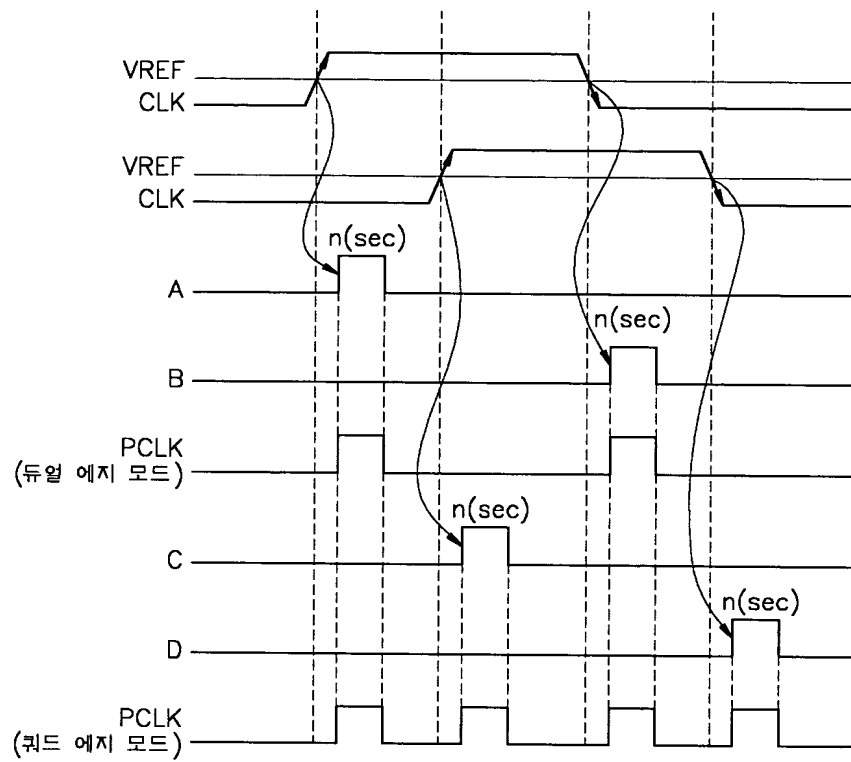
【도 3】



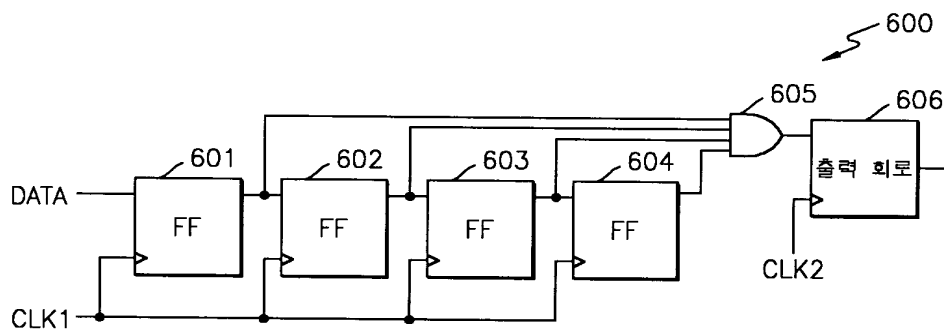
【도 4】



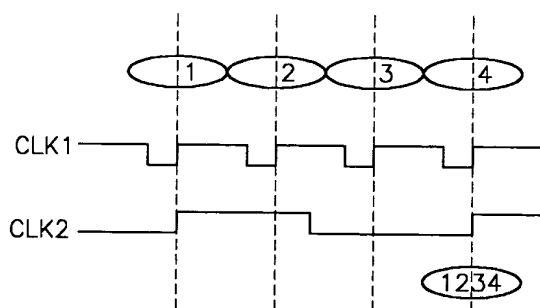
【도 5】



【도 6】



【도 7】



【도 8】

